

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 11-352946

(43) Date of publication of application : 24.12.1999

.(51)Int.Cl. G09G 5/00
G09G 5/00
G09G 5/00
G09G 5/14
H04N 5/265
H04N 5/445

(21) Application number : 11-048899

(71)Applicant : MATSUSHITA ELECTRIC IND CO
LTD

(22) Date of filing : 25.02.1999

(72)Inventor : HASHIMOTO TSUTOMU
IWASA MASARU
FUJII EIKO

(30)Priority

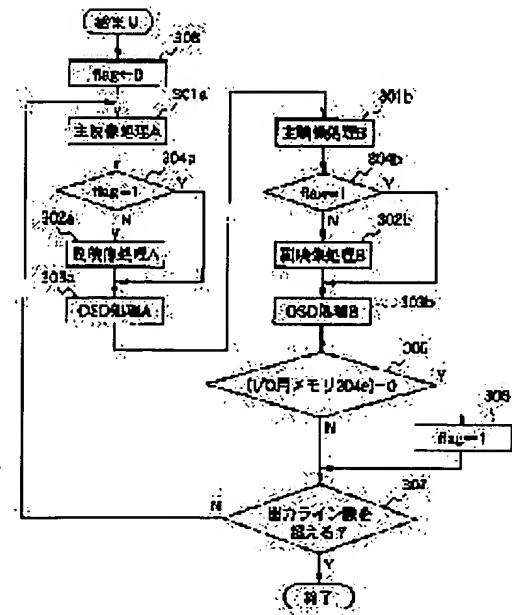
Priority number : 10 97326 Priority date : 09.04.1998 Priority country : JP

(54) IMAGE OUTPUT PROCESSING DEVICE

(57) Abstract:

PROBLEM TO BE SOLVED: To perform image output without causing disturbance of the image or giving uncomfortable feeling to an audience even if the worst states of respective processing cycles come in succession in image output processing in real time.

SOLUTION: This processing device comprises judgment processing 305, substitution processing 306, and judgment processings 304a, 304b, and when it is detected that execution of image output processing of main image, sub- image or OSD (on-screen display) in actual time is impossible in one line, sub-image processing (302a, 302b) is not executed in the following line.



LEGAL STATUS

[Date of request for examination] 25.12.2001

[Date of sending the examiner's decision of rejection] .

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3522567

[Date of registration] 20.02.2004

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-352946

(43)公開日 平成11年(1999)12月24日

(51)Int.Cl.⁶
G 0 9 G 5/00
H 0 4 N 5/265

識別記号
5 3 0
5 1 0
5 5 0

5/14

F I
G 0 9 G 5/00
H 0 4 N 5/265

5/14

5 3 0 M
5 1 0 S
5 5 0 H

Z

審査請求 未請求 請求項の数 8 OL (全 18 頁) 最終頁に続く

(21)出願番号 特願平11-48899
(22)出願日 平成11年(1999)2月25日
(31)優先権主張番号 特願平10-97326
(32)優先日 平10(1998)4月9日
(33)優先権主張国 日本 (JP)

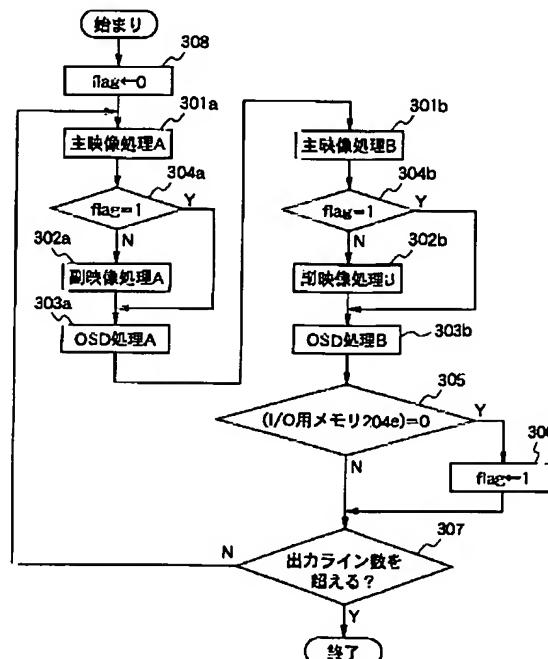
(71)出願人 000005821
松下電器産業株式会社
大阪府門真市大字門真1006番地
(72)発明者 橋本 勉
大阪府門真市大字門真1006番地 松下電器
産業株式会社内
(72)発明者 岩佐 勝
大阪府門真市大字門真1006番地 松下電器
産業株式会社内
(72)発明者 藤井 栄子
大阪府門真市大字門真1006番地 松下電器
産業株式会社内
(74)代理人 弁理士 早瀬 繁一

(54)【発明の名称】 映像出力処理装置

(57)【要約】

【課題】 実時間の映像出力処理において、それぞれの処理サイクルが最悪となる場合が重なっても、映像の乱れなどを生じることなく視聴者に不快感を与えることなく映像出力を行なうこと。

【解決手段】 判定処理305、代入処理306と、判定処理304a、304bを設け、1ラインにおいて、主映像、副映像、OSDの映像出力処理を実時間で行なうことが不可能となったことを検出した場合、副映像の処理(302a、302b)を次ラインにおいて実行しないようにする。



【特許請求の範囲】

- 【請求項1】 種類の異なる複数の映像データを処理してモニタ出力とする映像データ処理実行手段と、上記映像データ処理実行手段による上記複数の映像データの処理が、モニタ出力時点で実時間内に処理を完了したか否かを検出する映像処理遅延検出手段と、上記映像処理遅延検出手段により処理の遅れが検出された場合に、上記映像データ処理実行手段による処理を、1ライン期間に割り当てられた処理を軽減するよう上記映像データ処理実行手段を制御する映像データ処理制御手段とを備えたことを特徴とする映像出力処理装置。
- 【請求項2】 請求項1記載の映像出力処理装置において、上記映像データ処理制御手段は、上記処理を軽減する際の映像データの優先順位を設定して、上記映像データ処理実行手段を制御するものであることを特徴とする映像出力処理装置。
- 【請求項3】 請求項2記載の映像出力処理装置において、上記優先順位は、視聴者の視点から上記モニタ上における表示画面までの距離に基づいて決定されることを特徴とする映像出力処理装置。
- 【請求項4】 請求項2記載の映像出力処理装置において、上記優先順位は、映像データに設定された表示情報に基づいて決定されることを特徴とする映像出力処理装置。
- 【請求項5】 請求項1記載の映像出力処理装置において、上記1ライン期間に行う上記種類の異なる複数の映像データのそれぞれの処理の少なくとも1つの映像データの処理を複数に分割することを特徴とする映像出力処理装置。
- 【請求項6】 請求項1記載の映像出力処理装置において、上記映像処理遅延検出手段は、上記遅延の検出を所定数のフィールドまたはフレーム間隔で行うものであることを特徴とする映像出力処理装置。
- 【請求項7】 請求項1記載の映像出力処理装置において、上記映像処理遅延検出手段は、上記遅延の検出を所定数のライン間隔で行うものであることを特徴とする映像出力処理装置。
- 【請求項8】 請求項1または5記載の映像出力処理装置において、上記映像データ処理制御手段は、上記種類の異なる複数の映像データのうちのいずれか映像データの処理の少なくとも一部を停止することにより処理を軽減することを特徴とする映像出力処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、映像出力処理装置に関し、特に、動画、静止画などの情報が含まれる主映像、字幕などの情報が含まれる副映像、メニューやタイトル画面などの情報が含まれるO S D (On Screen Display) データの出力の実時間処理の制御性の向上を図ったものに関するものである。

【0002】

【従来の技術】近年、マルチメディアの進歩とともに、映像分野においてもデジタル放送を考慮してさまざまな方式の再生装置が提案されている。そして、今後、より多くの情報が放送局から出力されることになると考えられ、再生装置によっては、その再生処理能力を越える処理を要求されるような事態が生じることも考えられる。そして、このようなスペックを越える処理が要求された場合には、視聴者から見れば、映像の乱れ等の現象として捕らえられることとなり、違和感や不快感を与えることかねない。そこで、従来、パソコンなどで動画データを表示する際に、再生装置のスペックに合わせて何とか違和感を低減して再生を行うために、単位時間あたりに表示される画像の数(フレーム数)を低下させる、いわゆるフレーム落しを適用することも考えられるが、高画質な映像を提供するハイビジョン放送等においては、このような処理を行うことは、やはり視聴者に不快感等を与えることになると考えられる。

【0003】そこで、上記再生処理能力を、出力処理に必要となる処理サイクルの最悪値を基準にして、その処理を満たす能力を有する制御装置を用いて実現することも考えられるが、このような構成とすることは、いたずらに制御装置の構成を複雑にし、また、高周波数での動作となるために、環境的な問題となることが懸念される。

【0004】

【発明が解決しようとする課題】従来の映像出力処理装置は以上のように構成されており、処理能力を越える負荷が装置に要求された場合に、視聴者に不快感等を与えることなく、実時間内でデータを処理する有効な方法が何ら提案されておらず、将来、マルチメディアの進歩に伴う大量情報伝達が必要となった場合に鑑みて、これに対処することのできる映像出力処理装置が必要とされていた。この発明は以上のような状況に鑑みてなされたもので、実時間の映像出力処理において、再生処理能力を越える場合となつても、映像の乱れなどを生じることなく視聴者に不快感を与えることなく映像出力を行うことができる映像出力処理装置を提供することを目的とする。

【0005】

【課題を解決するための手段】この発明の請求項1にかかる映像出力処理装置によれば、種類の異なる複数の映像データを処理してモニタ出力とする映像データ処理実

行手段と、映像データ処理実行手段による上記複数の映像データの処理が、モニタ出力時点で実時間内に処理を完了したか否かを検出する映像処理遅延検出手段と、上記映像処理遅延検出手段により処理の遅れが検出された場合に、上記映像データ処理実行手段による処理を、1ライン期間に割り当てられた処理を軽減するよう上記映像データ処理実行手段を制御する映像データ処理制御手段とを備えたものである。

【0006】また、この発明の請求項2にかかる映像出力処理装置によれば、上記請求項1記載の映像出力処理装置において、上記映像データ処理制御手段を、上記処理を軽減する際の映像データの優先順位を設定して、上記上記映像データ処理実行手段を制御するものとしたものである。

【0007】また、この発明の請求項3にかかる映像出力処理装置によれば、上記請求項2記載の映像出力処理装置において、上記優先順位を、視聴者の視点から上記モニタ上における表示画面までの距離に基づいて決定するようにしたものである。

【0008】また、この発明の請求項4にかかる映像出力処理装置によれば、上記請求項2記載の映像出力処理装置において、上記優先順位を、映像データに設定された表示情報に基づいて決定するようにしたものである。

【0009】また、この発明の請求項5にかかる映像出力処理装置によれば、請求項1記載の映像出力処理装置において、上記1ライン期間に行う上記種類の異なる複数の映像データのそれぞれの処理の少なくとも1つの映像データの処理を複数に分割するものとしたものである。

【0010】また、この発明の請求項6にかかる映像出力処理装置によれば、上記請求項5記載の映像出力処理装置において、上記停止する映像データを主映像としたものである。

【0011】また、この発明の請求項7にかかる映像出力処理装置によれば、上記請求項1記載の映像出力処理装置において、上記映像処理遅延検出手段は、上記遅延の検出を所定数のフィールドまたはフレーム間隔で行うものとしたものである。

【0012】また、この発明の請求項7にかかる映像出力処理装置によれば、上記請求項1記載の映像出力処理装置において、上記映像処理遅延検出手段は、上記遅延の検出を所定数のライン間隔で行うものとしたものである。

【0013】また、この発明の請求項8にかかる映像出力処理装置によれば、請求項1または5記載の映像出力処理装置において、上記映像データ処理制御手段は、上記種類の異なる複数の映像データのうちのいずれか映像データの処理の少なくとも一部を停止することにより処理を軽減するものとしたものである。

【0014】また、この発明の請求項9にかかる映像出

力処理装置によれば、上記請求項5記載の映像出力処理装置において、上記1ライン期間に処理すべきデータには、少なくとも種類の異なる3つの映像データのうち2つ以上含まれるものである。

【0015】

【発明の実施の形態】以下、本発明の映像出力処理装置の本実施の形態について、図面を参照しながら説明する。

実施の形態1、図1は、本発明の実施の形態1による映像出力処理装置の構成を示す図であり、同図において、101は表示出力する主映像データと、副映像データと、OSDデータとを格納する外部記憶部、102は上記外部記憶部101に格納された表示出力すべき主映像、副映像、OSDデータをバッファリングすることにより順次これらデータを取り出す内部記憶部、103は上記外部記憶部101と内部記憶部102間の転送制御を行なう転送制御部である。また、108は転送制御部103と内部記憶部102を相互に接続するための第1の内部バスである。104aは上記内部記憶部102からの主映像データを入力として主映像データを出力する主映像出力部、104bは上記内部記憶部102からの副映像データを入力として副映像データを出力する副映像出力部、104cは上記内部記憶部102からのOSDデータを入力としてOSDデータを出力するOSD出力部である。

【0016】109は上記内部記憶部102と、主映像出力部104a、副映像出力部104b、OSD出力部104cを相互に接続するための第2の内部バスである。105は、上記主映像出力部104a、副映像出力部104b、OSD出力部104cからのデータを入力とし、それらのデータ(映像)を混合してモニタ111へ出力する映像出力部である。106は上記映像出力部105からの制御信号110をその入力とし、内部プログラムにより、上記主映像出力部104a、副映像出力部104b、OSD出力部104c、転送処理部103を制御する中央処理制御部である。これらの出力に関する制御は順に、制御信号107a、107b、107c、107dを用いて行なわれる。なお、上記制御信号110は映像出力における1ラインの開始時刻を伝えるための信号である。

【0017】図2に、図1における中央処理制御部106の詳細な構成の一例を示す。図に示すように上記中央処理制御部106は、中央処理部201、命令メモリ202、作業メモリ203、I/O用メモリ204a～204e、内部バス205を含んでいる。

【0018】上記命令メモリ202は、中央処理部201で実行する命令(プログラム)を格納する。中央処理部201は、命令メモリ202に格納されるプログラムを実行する。作業メモリ203は、中央処理部201の途中の処理結果などを格納する。I/O用メモリ204

aは、主映像出力部104aに対する制御用のメモリで、メモリマップドI/Oと呼ばれる構成となっている。同様に、I/O用メモリ204b、I/O用メモリ204c、I/O用メモリ204dは、それぞれ、副映像出力部104b、OSD出力部104c、転送制御部103を制御するためのメモリである。上記中央処理部201と、命令メモリ202、作業メモリ203、I/O用メモリ204a～eは、内部バス205により相互に接続されている。

【0019】また、204eは映像出力部105からの制御信号を入力するためのI/O用メモリである。1ラインの開始時刻の検出は、制御信号110からの情報がI/O用メモリ204eに書き込まれるため、中央処理部201において、I/O用メモリ204eを読み出すことにより、実現することができる。

【0020】ここで、I/O用メモリ204eが「0」のとき、1ラインの開始、すなわち、直前の表示ラインから見た場合に、次のラインが始まっていることを示すものとする。中央処理部201が1ラインの開始点で「1」を書き込み、判定処理実行時にI/O用メモリ204eが「0」となっている場合は、次の表示ラインが開始されたことを意味する。また、I/O用メモリ204eが「1」である場合は、次の表示ラインがまだ開始されていないことを意味する。

【0021】上記構成において、モニタ111以外によって、映像データ処理実行手段が実現され、上記映像出力部105によって映像処理遅延検出手段が実現され、中央処理制御部106によって映像データ処理制御手段が実現されるものとなっている。

【0022】次に、図2に示した上記中央処理制御部106で行なわれる映像出力処理を図3のフローチャートを用いて説明する。図3の処理では、すべての映像出力処理を実時間で行なうことができない場合、副映像の処理を停止し、副映像の表示出力処理を行なわないようにすることにより、映像出力処理を実時間で処理させることを実現するものである。この映像出力処理は、映像出力における毎フィールド単位、または毎フレーム単位で行なうものを示したものである。

【0023】また、各映像出力処理を行う各主映像、副映像、OSD処理は、内部記憶部102に割り当てる主映像出力部104a、副映像出力部104b、OSD出力部104cの内部に設けられるバッファメモリの容量によって、処理を実行する間隔が異なる。これらのバッファメモリは、外部記憶部101に格納されている各映像データをバッファリングするために用いるものである。例えば、主映像出力に割り当てるバッファ容量部104aのバッファが表示フィールド画像と比較して大きければ、主映像の出力処理は1フィールドに1回行えばよい。同様に副映像、OSDの出力処理の間隔も1フィールドに1回とすれば、複数の表示ライン期間で主映像

の出力処理を行い、また別の複数の表示ライン期間で副映像の出力処理を行い、また別の複数の表示ライン期間でOSDの出力処理を行うことができる。

【0024】しかし、これらのバッファメモリ、すなわち、内部記憶部102のメモリの容量の増大は、装置全体としての回路規模の増大となる。装置全体の回路規模を小さくするためには、これらのバッファメモリの容量を小さくする必要がある。しかしこのとき、主映像、副映像、OSDの出力処理の間隔も短くなる。本実施の形態では、主映像、副映像、OSDの出力処理の間隔を、表示する1ライン期間に2回とするものである。なお、以下でいう、1ライン期間に割り当てる処理とは、それぞれの映像出力処理で表示1ライン期間で行う必要のあるそれぞれの映像出力処理ををさす。

【0025】ここで、301a、301bは主映像処理A、Bを示し、302a、302bは副映像処理A、Bを示し、303a、303bはOSD処理A、Bを示し、このようにこれらの処理は、ここでは2つに分割して行なわれるものとする。それぞれの処理では、外部記憶部101から内部記憶部102への映像データの転送制御や、主映像出力部104a、副映像出力部104b、OSD出力部104cの制御を行なうものである。

【0026】これら主映像処理302a、302b、副映像処理303a、303bが1ライン期間に割り当てる処理となる。また、ここでは、1ライン期間にそれぞれの出力処理を2回行うものとするが、1ラインで行う処理回数は2回に限定されるものではない。304a、304bは処理が遅れたか否かの判定処理であり、これらの判定処理304a、304bの結果により、302a、302bの副映像出力処理A、Bが迂回されることになる。すなわち、映像出力処理として、ここで処理量が減少されることになる。

【0027】305はモニタ111出力での、1ライン処理が間に合ったか否かの判定処理である。また、306は上記判定処理305により、判定処理304a、304bでの判定に用いたf1ag（フラグ）に対し、処理が遅れた場合は「1」を代入する処理である。307は1フィールド、またはフレームの表示ライン数を越えるか否かの判定処理で、表示ライン数を越えない場合、処理301aから処理を繰り返すことになる。

【0028】308は初期設定を行なうもので、f1agに「0」を代入する処理である。図4は、図3に示した処理において、処理遅れが発生した場合の様子を示す。ここにおいても、主映像処理、副映像処理、OSD処理のすべてが、1ラインで実行完了することを前提とする。図4において、400は、H-SYNC（水平同期信号）信号を表す。400aは、1ラインの処理開始を示す点である。400bは、次のラインの処理開始を示す点である。また、401は映像出力が行なわれるラインを、402はライン401の次のラインを、403

はライン402の次のラインを表し、それぞれ、ラインA、ラインB、ラインCとする。従って、本来、ラインA401における、次ライン（ラインB）の開始点400bは、ラインB402における、ラインの開始点400aと同一の点となる。同様に、ラインB402における、次ラインの開始点400bについても、ラインC403における、ラインの開始点400aと同一の点となる。

【0029】410はラインA401で行なう必要のある処理で、主映像処理A411aと、主映像処理B411bと、副映像処理A412aと、副映像処理B412bと、OSD処理A413aと、OSD処理B413bとからなり、410xはラインA401における、映像出力処理の遅れを判定する判定処理305が行なわれる点を表す。また、420は、ラインB402で行なう必要のある処理で、主映像処理A421aと、主映像処理B421bと、OSD処理A423aと、OSD処理B423bとからなる。

【0030】同様に、430はラインC403で行なう必要のある処理で、主映像処理A431aと、主映像処理B431bと、OSD処理A433aと、OSD処理B433bとからなる。映像出力処理410での実行順序は、主映像処理A411a、副映像処理A412a、OSD処理A413a、主映像処理B411b、副映像処理B412b、OSD処理B413b、点410xにおける判定処理305の順で行なう。

【0031】また、映像出力処理420での実行順序は、主映像処理A421a、OSD処理A423a、主映像処理B421b、OSD処理B423bの順で、さらに、映像出力処理430での実行順序は、主映像処理A431a、OSD処理A433a、主映像処理B431b、OSD処理B433bの順で行なうものとする。

【0032】また、403aは、ラインC403における処理の余裕を示すものとする。なお、これら映像出力処理410、420、430では、図3に示した、判定処理304a、304b、305、307や、代入処理306、308は、断りのない限り省いている。

【0033】このとき、ラインA401で行なう映像出力処理410が、中央処理制御部106の処理性能を越え、ラインB402の開始位置400aを越えた場合を以下に考える。すなわち、この場合は、すべての映像出力処理が1ライン内に間に合わず、処理しきれなかったことになる。ここで、判定処理305が実行されるのは、点410xであり、次ラインの開始を越えている。

【0034】この場合、上記判定処理305の結果は「Y」となり、代入処理306でf1agに「1」が代入される。これに続くラインB402で行なう映像出力処理420では、判定処理304a、304bの結果がともに「Y」となり、副映像処理A302a、副映像処理B302bは実行されない。すなわち、映像出力処理

420は、主映像処理A421a、OSD処理A423a、主映像処理B421b、OSD処理B423bの順で各処理を行なうことになる。

【0035】これにより、映像出力処理420は、実行すべきラインB402に納まることになる。さらに、ラインC403での映像出力処理430では、映像出力処理420と同様に、主映像処理A431a、OSD処理A433a、主映像処理B431b、OSD処理B433bの順で各処理を行なうことになる。また、映像出力処理430には、処理の余裕403aが発生することになる。そして、以降のラインにおいても処理の余裕があることになり、実時間での映像出力処理を実現することができるようになる。

【0036】また、本実施の形態では、主映像、副映像、OSDの出力処理を、それぞれ2つ（A、B）にした処理で実現している。これは、各処理を分割することにより、それぞれの処理の一部を少なくとも一度は実行することができるようになるからである。これにより、それぞれの映像出力処理が反映されないことを回避することも期待できるものである。

【0037】このように本実施の形態1によれば、判定処理305、代入処理306と、判定処理304a、304bを設け、1ラインにおいて、主映像、副映像、OSDの映像出力処理を実時間で行なうことが不可能となつたことを検出した場合、副映像の処理（302a、302b）を次ラインにおいて実行しないようにすることにより、映像出力処理全体の処理量を軽減し、従って、映像出力処理の実時間処理を保証することを実現することができる。

【0038】また、これらの判定処理や、代入処理は、プログラムコードサイズとしても小さいものである。また、これらを処理する制御装置を複雑にする必要もなく、高周波で動作させる必要もない。

【0039】なお、本実施の形態1では、映像出力処理の実行を、主映像処理、副映像処理、OSD処理の順で行なつたが、これらの実行順序は制限されるものではなく、異なる順で実行しても同様の効果を実現することができる。また、本実施の形態1では、主映像、副映像、OSDの出力処理を二つに分割し、図3に示す判定処理部304a、304bの両方を実行することにより、副映像処理A302a、および副映像処理B302bの両方を行わないことにより、処理の軽減を図つたが、判定処理部304a、304bのどちらか一方の判定処理を行わないことにより、少なくとも一方の副映像処理A302a、または副映像処理B302bを行うことで、処理の軽減を行うことも可能である。これにより、段階的に処理対象外とする処理、すなわち、軽減する処理を設定することができる。

【0040】さらに、主映像、副映像、OSDの出力処理を2つに分割して行なうようにしたが、これらの出力処

理を3つ以上に分割して処理することも可能である。これにより、処理対象外とする処理を細かく設定することが可能となり、より多くの処理を1ライン期間で処理することができる。

【0041】また、本実施の形態1では、二つ存在する副映像処理をともに停止するものとしたが、いずれか一方の副映像処理を停止するようにしても構わない。具体的には、判定処理304a, 304bのいずれか一つを省略するとしても、同様の効果を実現することができるものである。また、本実施の形態1では、副映像処理を停止する構成としたが、主映像処理、またはOSD処理を停止させたとしても同様の効果を実現することができる。

【0042】さらに、この場合、二つある主映像処理のいずれか一方の処理を停止するとしても、また、二つあるOSD処理のいずれか一方の処理を停止するとしても、同様の効果を実現することができる。

【0043】さらに、本実施の形態1では、処理遅れの判定に用いるフラグの初期化を、毎フィールド単位、または毎フレーム単位で行なうものとしている。このとき、処理遅れの判定に用いるフラグの初期化である代入処理308は、所定フィールド、所定フレーム毎に行うことになる。つまり、処理遅れが発生した場合、処理の軽減を該フィールドの間、または該フレームの間、行なうものとすることで、失われる情報を少なく抑えることができるものであるが、処理遅れの判定に用いるフラグの初期化は、複数フィールド単位または複数フレーム単位で行なうものとしても、失われる情報は多少増大するが、処理を簡略化することができる。

【0044】また、逆に、処理遅れの判定に用いるフラグの初期化を、所定ライン単位毎に行なう場合は、代入処理308を所定ライン毎に行なうことにより、処理遅れ判定を所定ライン単位で行なうことができる。すなわち、図18は1ライン単位での処理遅れの判定を行なう場合において、処理遅れが発生した場合の様子を示す。図において、1801は映像出力が行われるラインDを表す。1801はラインDに割り当てられる処理で、主映像処理A1811aと、主映像処理B1811bと、副映像処理A1812aと、副映像処理B1812bと、OSD処理A1813aと、OSD処理B1813bとからなっている。また、ラインD1801では、OSD画像の表示画素数などがラインA401、ラインB402までと比較して少なく、処理内容が変更されることにより、OSD処理A1813a、OSD処理B1813bの処理サイクルが短くなっている。

【0045】OSD画像は、スクリーンの任意の位置に、任意の表示幅、表示高さで表示することが可能であり、ラインBとラインDとで表示する内容が異なるようにしたものである。1800xは主映像処理A431aと、OSD処理A433aと、主映像処理B431b

と、OSD処理B433bからなるラインB402に割り当てられる映像出力処理の後に行なう、判定処理305のラインB402の表示時刻における実行位置である。なお、図3に示した判定処理304a, 304b, 305, 307や代入処理306, 308は特に断りの無い限り省略する。また、図4と同一符号は同一、または相当部分を示す。

【0046】ここで、ラインA401の処理に遅れが発生し、ラインB402、ラインC403において副映像処理A412a、副映像処理B412bを行わないことにより、1ラインに割り当てる処理を軽減することについて先に述べた。これに続く点1800xでの判定処理では、1ライン期間に1ラインに割り当てる処理が収まっている、判定処理305においては「N」となる。従って、次のラインD1801での判定処理304a, 304bは「N」となる。これは図3における代入処理308の実行位置とは異なり、毎ライン毎に処理308を実行するためである。このため、ラインD1801においては、主映像処理、副映像処理、OSD処理をそれぞれ実行することができる。

【0047】すなわち、判定処理305により反映されるf1agを代入処理308において毎ライン初期化(0を代入)することにより、副映像の出力処理を行わずに軽減する期間を1ラインとすることができます。副映像の非表示期間をラインB402の1ラインだけとすることができ、ラインB402以外のラインに関しては主映像、副映像、OSDを全て表示する映像と比較しても大きな差異にはならない。

【0048】このように、処理遅れの判定を1ライン毎に行なう、処理の軽減を1ライン毎に調整することにより、それぞれの映像出力を多く表示することができ、より一層の効果を得ることができる。なお、ここでは、処理軽減を副映像の処理で行なうものとしたが、主映像、OSDにより処理軽減を行なう場合についても同様に効果を得ることができる。

【0049】実施の形態2. 以下、本発明の実施の形態2による映像出力処理装置について図面を参照しながら説明する。本実施の形態2による映像出力処理装置の構成に関しては、実施の形態1に示したものとほぼ同様であるが、映像処理出力の流れが異なることを特徴とするものである。

【0050】図5に本実施の形態2における映像出力処理装置の処理の流れを示す。映像出力処理に関して、実施の形態1と異なるのは、判定処理304a, 304bがなく、判定処理501a, 501b, 502a, 502b, 503a, 503bをそれぞれ設けた点であり、これ以外は、実施の形態1における処理の流れと同様である。

【0051】上記判定処理501a, 501b, 502a, 502b, 503a, 503bは、処理が遅れたか

否かの判定処理であり、設定される処理迂回の優先度に応じて実行されるものである。この優先度を表すフラグとして、priorityを用いる。判定処理501a, 501bは、その結果により、主映像処理A301a, 主映像処理B301bを迂回する。また、判定処理502a, 502bは、その結果により、副映像処理A302a, 副映像処理B302bを迂回する。同様に判定処理503a, 503bは、その結果により、OSD処理A303a, OSD処理B303bを迂回するものである。

【0052】ここで、設定される優先度が本映像出力装置として定まっており、主映像の出力処理優先度を最も低いものとする場合、優先度を示すpriorityに「1」を設定する。これにより、全ての映像出力処理が中央処理制御部106の性能を越えた場合、すなわち、中央処理制御部106の処理が遅れた場合、映像出力処理である主映像処理A301a, 主映像処理B301bを迂回することになる。

【0053】また、上記優先度として、副映像の出力処理を最も優先順位が低いものとする場合は、Priorityに「2」を設定する。これにより、副映像処理B302a, 副映像処理B302bを迂回することになる。同様に、上記優先度として、OSDの出力処理を最も優先順位が低いものとする場合は、Priorityに「3」を設定することにより、中央処理制御部106の処理が遅れた場合、OSD処理A303a, OSD処理B303bの処理を迂回することになる。つまり、上述した実施の形態1と同様に、全ての映像出力処理を実時間内で行なうことが不可能となつた場合、映像出力処理の処理量を軽減することができ、実時間での映像出力処理を実現することができる。このときの優先度の設定は、システムとして表示する優先度を動的に設定することができるものである。

【0054】ここで、この優先度の設定を、出力表示の表示順序により行なう方法について説明する。図6は、本実施の形態2による映像出力処理装置を用いた処理による表示結果を表したものである。図6(a)において、610は、処理の軽減を行なう前の表示結果の画面である。図6(b), (c)において、611, 612は、映像出力処理のそれぞれの処理サイクルの最悪の状態が重なつたり、映像出力処理が処理待ちの発生などにより、中央処理制御部106の処理が遅れ、すべての映像出力処理を実時間で行なうことが不可能となり、処理の軽減を行なつた後の表示結果の画面である。

【0055】610aは、主映像の表示を表わし、610bは副映像の表示を表わし、610cはOSDの表示をそれぞれ表すものである。それぞれの映像表示は、視点手前から、OSD表示610c, 副映像表示610b, 主映像表示610aの順で表示されている。

【0056】この表示順より、処理の軽減対象を主映像

とし、優先度を示すpriorityに「1」を設定するものとする。これは、視点から奥の表示映像に関する情報が必ずしも重要でないと判断できるからである。ここで、全ての映像出力処理を実時間で行なうことが不可能となる場合、視点から最も奥に表示される主映像の表示映像610aに関する処理である、主映像処理A301a, 主映像処理B301bを迂回することにより、図6(a)から図6(b)に示すようになり、映像出力処理を軽減することになる。これにより、表示結果が表示画像610から、表示結果611となる。

【0057】また、表示映像として、視点からの表示順で、中間に表示されている映像に関する情報が重要でないと判断できる場合もある。この場合、Priorityに「2」を設定することにより、全ての映像出力処理を実時間で行なうことが不可能となる場合、副映像610bに関する処理である、副映像処理A302a, 副映像処理B302bを迂回することにより、図6(a)から図6(c)に示すようになり、表示結果が表示画像610から、表示結果612となる。

【0058】視点からの表示で、この優先度を示す、Priorityを設定することは、映像出力処理の遅れが発生する場合に、迂回する出力処理が動的に変化することになる。つまり、出力表示される場面毎に、最も重要な映像情報を少なくとも表示することを実現することができる。

【0059】以上のように、本実施の形態2によれば、判定処理501a, 501bと、判定処理502a, 502bと、判定処理503a, 503bを設けることにより、主映像、副映像、OSDに関する、すべての映像出力を実時間で行なうことが不可能となる場合、設定される優先度に応じて、主映像の処理301a, 301b、または、副映像の処理302a, 302b、また、あるいは、OSDの処理303a, 303bを迂回することにより、上記実施の形態1と同様に、映像出力処理全体の実時間処理を保証することを実現することができ、プログラムコードサイズの増大や、装置の複雑化、高周波動作の必要性がないのに加えて、ここで設定するこの優先度は、映像情報に関して最も情報量が少なく、表示されないことによる影響が最も少ないものを選択することにより、ユーザ指向に立った制御を行うことができる。

【0060】なお、本実施の形態2では、視点からの表示順から、主映像処理、副映像処理、OSD処理の優先順位付けを行なつたが、ユーザが提示する優先順位付けを行なうようにしてもよく、同様の効果を奏する。このようにすることで、ユーザがどの映像表示に興味があるかにより、ユーザの意志で自由に設定することができ、実施の形態1のよう、自動的に表示さるべき情報が削除されるような場合に比べて、ユーザ指向な制御を行うことができる。

【0061】また、本実施の形態2では、視点からの表示順から映像出力処理の優先順位付けを行なったが、予め設定されている表示状態により、いずれの処理を優先させるかの優先順位付けを行うこともできる。例えば、OSDに関しては、装置を制御するメニュー画面の設定に用いるOSD表示を行う場合、OSD表示を優先して行うことになる。また、副映像に関しては、DVD規格(DVD Specification for Read-Only Disc, Part3 VIDEO SPECIFICATIONS Version1.0 August 1996)における、SP_DCSQに含まれるコマンドの1つであるFSTA_DSPにより、副映像出力を強制的に表示させるなどのコマンドがあり、このコマンドにより、優先的に副映像を表示することになる。

【0062】実施の形態3、以下、本発明の実施の形態3による映像出力処理装置について図面を参照しながら説明する。本実施の形態3による映像出力処理装置の構成に関しては、実施の形態1に示したものとほぼ同様であるが、映像処理出力の流れ、特にOSDの出力処理が異なることを特徴とするものである。

【0063】図7は本実施の形態3における映像出力処理装置の処理の流れを示すフローチャート図である。映像出力処理に関して、実施の形態1と異なるのは、判定処理304a、304bがなく、OSD処理A303a、OSD処理B303bを、OSD処理A701a、OSD処理701bに変更した点である。本実施の形態3では、映像出力処理を実時間での実行が実行不可能となった場合に、OSD処理の処理量を軽減するものであり、これ以外は、上記実施の形態1における処理の流れと同様の処理を行なうものである。

【0064】以下、このOSD処理A701aの流れを図8に、また、OSD処理B701bの処理の流れを図9に示す。図8に示すOSD処理A701aは、判定処理801と、アドレス計算処理A802aと、アドレス計算処理B802bと、転送制御部103に対する転送制御処理803とからなる。

【0065】アドレス計算処理A802aと、アドレス計算処理B802bは、転送元の外部記憶部101のOSD画像のアドレスと、転送先の内部記憶部102のアドレスとを計算するものである。ここで、全ての映像出力処理の実時間での実行が実行可能である場合は、アドレス計算処理A802aを、全ての映像出力処理の実時間での実行が実行不可能である場合は、アドレス計算処理B802bを実行する。これら2つのアドレス計算の違いについては後述する。801は、全ての映像出力処理が実時間で実行不可能となったか否かを判定するもので、実行可能の場合は、アドレス計算処理A802aに制御を移し、実行不可能の場合はアドレス計算処理B802bに制御を移すように構成されている。次いで、転送制御処理803により、外部記憶部101と内部記憶部102間の転送処理が開始されることとなる。

【0066】OSD処理B701bは、図9に示すように、判定処理901と、アドレス計算処理C902と、転送制御部103に対する転送制御処理803とからなる。アドレス計算処理C902は、転送元の外部記憶部101のOSD画像のアドレスと、転送先の内部記憶部102のアドレスとを計算するものである。

【0067】901は、全ての映像出力処理が実時間で実行不可能となったか否かを判定するもので、実行可能の場合はアドレス計算処理C902、及び制御処理803を実行する。実行不可能の場合は、アドレス計算処理C902、及び制御処理803を迂回するように構成されている。

【0068】本実施の形態3における処理において、全ての映像出力処理の実時間での実行が可能の場合、OSDの出力処理は、アドレス計算処理A802aと転送制御処理803、及び、アドレス計算処理A902と転送制御処理803を実行する。

【0069】しかし、すべての映像出力処理の実時間での実行が不可能の場合、実施の形態1、2と同様の判定処理により、OSDの出力処理は、アドレス計算処理A802bとそれに続く転送制御処理803を実行する。

【0070】このように処理することについて、8bit/pixelのOSD(1画素が8bitからなるOSD)で、水平方向に720画素を出力する場合を、例に挙げて説明する。

【0071】このとき、OSD画像の転送量は720byteである(1byte=8bit)。すべての映像出力処理を実時間で実行可能の場合に行なう、OSDのアドレス計算処理A802a、902による転送では、それぞれ360byteづつの転送を行なうものとする。これは、内部記憶部102の容量を少なくするためや、他の外部記憶部101に対するアクセス待ちを少なくするためのものである。

【0072】ここで、1ライン内ですべての映像出力処理が間に合わず、実時間で実行不可能となった場合、OSDの出力処理は、実質的にOSD処理B701bが迂回することとなり、処理の軽減を行なう。すなわち、OSD処理A701aだけを実行することになる。このとき、8bit/pixelでOSDを出力するとした場合、水平方向に360画素のOSDしか出力できなくなってしまう。しかし、水平方向720画素、4bit/pixelのOSD画像を出力するとすれば、360byteの転送量で実現することができる。つまり、OSD処理A701aだけの実行で、OSD画像の出力処理を行なうことが可能になる。

【0073】図10に、これらの様子を示す。図10(a)の1001は、映像出力処理を実時間で実行可能な場合のOSD出力画像である。図10(b)の1002は、映像出力処理を実時間で実行不可能となった場合で、8bit/pixelのOSD画像の出力画像であ

る。また、図10(c)の1003は、映像出力処理を実時間で実行不可能となった場合で、4bit/pixelのOSD画像の出力画像である。これらの図のうち、図10(c)の1003が本実施の形態3によるOSDの出力画像となる。図10に示すように、OSDの処理量を軽減する場合、OSD画像の半分が全く出力されない出力画像1002と比較して、OSD画像をすべて出力する出力画像1003の画像表示効果は極めて大きい。ユーザに対して、色数に関する情報量を落してしまうことになるが、OSD画像そのもの情報量をすべて伝えることが可能となる。

【0074】以上のような動作を実現するのが、それぞれのアドレス計算処理である。アドレス計算処理A802aでは、8bit/pixelで外部記憶部101に格納されるOSDの情報から、転送するOSDのアドレスを計算するものであり、アドレス計算処理B802bでは、4bit/pixelで外部記憶部101に格納されるOSDの情報から転送するOSDのアドレスを計算するものである。これらのアドレス計算処理は極めて簡単なものであり、その実現は容易である。

【0075】以上のように本実施例の形態3によれば、OSD処理701a, 701bを設けることにより、上記実施の形態1と同様に、主映像、副映像、OSDの映像出力処理を実時間で行なうことが不可能となった場合においても、映像出力処理全体の実時間処理を保証することを実現することができ、プログラムコードサイズの増大や、装置の複雑化、高周波動作の必要性がないのに加えて、映像出力処理の軽減により、OSD表示が全く表示されないという事態を回避することができる、ユーザに違和感等を与えることを軽減することができる。

【0076】なお、本実施の形態3では、OSD画像の処理における1回の転送量を360byteとしたが、ここでの転送量はこれに限るものではなく、他の転送量であっても、同様の効果を実現することができることはいうまでもない。

【0077】また、本実施の形態3では、OSD画像の処理を、8bit/pixelから4bit/pixelへ変更することにより、負荷を軽減したが、例えば、8bit/pixelから2bit/pixelへ変更することにより、転送量は1/4となり処理の軽減が大きくなり、また、例えば、8bit/pixelから6bit/pixelへ変更することにより転送量は3/4となり処理の軽減の効果が少なくなるものの、表示するOSD画像の色数に関する情報量落ちが少なくなり、変更前と変更後のOSD画像の1画素を構成するbit数に関しては、この限りでなくとも、同様またはそれ以上の効果を実現することができるものである。

【0078】実施の形態4。以下、本発明の実施の形態4による画像出力処理装置について図面を参考しながら

説明する。本実施の形態4による映像出力処理装置の構成に関しては、実施の形態1で示した図1、及び図2のものとほぼ同様であるが、外部記憶装置101の構成に特徴を有し、副映像処理において、色/コントラスト変化処理を停止することにより、中央処理制御部における副映像出力処理を軽減し、映像出力処理を実時間で処理させることを実現することを特徴とするものである。

【0079】ここで、図11に外部記憶部101に格納されている副映像データユニットの一例を示す。外部記憶部101には、副映像データユニット1101と副映像データユニット1102とが格納されている。

【0080】上記副映像データユニット1101は、ユニット情報(SPUH)1101aと、画像データ(PXDX)1101bと、表示制御コマンド(SP_DCSQ)1101c, 1101dとから構成される。

【0081】さらに、表示制御コマンド1101dには、色/コントラスト変化データ(CHG_COLCON)1101eを含んでいる。

【0082】上記副映像データユニット1102は、ユニット情報1102aと、画像データ1102bと、表示制御コマンド1102cとから構成される。

【0083】上記ユニット情報1101a, 1102aには、副映像データユニット1101, 1102のデータサイズ(SPU_SZ)と、表示制御コマンド1101c, 1102cの開始アドレス(SPU_DCSQT_SA)が格納されている。画像データ1101b, 1102bには、画像データが格納されている。

【0084】また、上記表示制御コマンド1101c, 1101d, 1102cには、表示制御コマンドの実行時間(SP_DCSQ_STM)、次の表示制御コマンドの開始アドレス(SP_NXT_DCSQ_SA)、表示開始(FSTA_DSP, STA_DSP)、表示終了(STP_DSP)、初期色(SET_COLOR)、初期コントラスト(SET_CONTR)、表示位置(SET_DAREA)、色/コントラスト変化(CHG_COLCON)等が格納されている。

【0085】次に本実施の形態4による中央処理制御部で行なう映像出力処理を図12を用いて説明する。図12において、主映像処理A301a、主映像処理B301b、OSD処理A303a、OSD処理B303b、判定処理304b, 305, 307、及び代入処理306, 308の構成は、図3に示したものとほぼ同じである。図3と異なる点は、判定処理304aを無くし、さらに副映像処理302aでは、副映像処理A302aとして、外部記憶部101から内部記憶部102へのデータ転送制御、副映像データユニット解析処理、表示制御コマンド解析処理を行ない、副映像処理B302bでは、色/コントラスト変化データ解析処理を行なうようにした点である。

【0086】副映像処理A302aでは、外部記憶部1

01から内部記憶部102へ、さらに副映像出力部104bへ副映像データを転送する。さらに、副映像データユニット情報1101aを解析し、表示制御コマンド1101cの開始アドレス、次の副映像データユニット1102の開始アドレスを得る。さらに、表示制御コマンド1101c、1101dを実行時間に従って順に解析する。副映像処理B302bでは、色/コントラスト変化データ1101eを解析し、制御信号107bを用いて、副映像出力部104bを制御する。判定処理305にて、1ライン処理が間に合わなかったと判定された場合、中央処理制御部106では、判定処理304bにより、副映像処理B302bが迂回され、色/コントラスト変化処理を停止することにより、副映像処理の軽減を図る。

【0087】このように本実施例の形態4によれば、主映像、副映像、OSDの映像出力処理を実時間で行なうことが不可能となった場合、色/コントラスト変化処理のみを停止することにより、副映像画像出力は停止することなく、映像出力処理全体の処理量を軽減することができる。これにより上記実施の形態1と同様に、主映像、副映像、OSDの映像出力処理を実時間で行なうことが不可能となった場合においても、映像出力処理全体の実時間処理を保証することを実現することができ、プログラムコードサイズの増大や、装置の複雑化、高周波動作の必要性がないのに加えて、副映像処理A302aでの処理は迂回されることがないため、外部記憶部101から内部記憶部102へのデータ転送制御、副映像データユニット解析処理、表示制御コマンド解析処理は、毎ライン実行される。その結果、映像出力処理が1ラインで収まるようになれば、次の表示制御コマンドから副映像出力を正常な状態で復帰させることができる。つまり、表示制御コマンド単位で主映像、副映像、OSD出力を全てを正しく表示させることができる。

【0088】実施の形態5。以下、本発明の実施の形態5による映像出力処理装置について図面を参照しながら説明する。本実施の形態では、映像出力処理が実時間で行なえない場合、増加した処理量に応じて、副映像処理における、色/コントラスト変化処理に上限を設けることにより、中央処理制御部における副映像出力処理を軽減し、映像出力処理を実時間で処理させることを実現するものである。図11は、本実施の形態5に用いられる副映像データユニットの一例を示し、同図の副映像データユニットは、実施の形態4で用いたものと同じである。図13は本実施の形態5による映像処理装置の構成図を示し、同図において、1311は、例えば、27MHzでサンプリングしたときの1ライン開始からのサイクル数(Delay)を示す制御信号であり、映像出力部105より出力され中央処理制御部106に入力されている。他の構成については図1に示したものと同じであるのでここではその説明は省略する。図14に上

記図13における中央処理制御部106の詳細な構成の一例を示す。同図において、1404fは映像出力部105からの制御信号1311を入力するためのI/O用メモリであり、その他の構成については図2に示したものと同じであるのでここではその説明は省略する。

【0089】1ラインの開始時刻の検出は、制御信号110からの情報がI/O用メモリ204eに書き込まれ、これを中央処理部201が読み出すことにより実現することができる。ここで、I/O用メモリ204eが「0」のとき、既に1ラインが開始されていることを示すものとする。中央処理部201が1ラインの開始点で「1」を書き込むことにより、判定処理305実行時に時間経過後にI/O用メモリ204eが「0」である場合は、次の表示ラインが開始されたことを意味する。

【0090】このとき、I/O用メモリ1404fを中央処理部201が読み出すことにより、1ラインで間に合わなかった処理数を知ることができる。また、I/O用メモリ204eが「1」である場合は、次の表示ラインがまだ開始されていないことを意味する。

【0091】以下に、図13に示した中央処理制御部106で行なう映像出力処理を図15を用いて説明する。図15において、実施の形態1で用いた図3に示したものと異なるのは、処理304a、処理304bを省き、処理1504、1510、1511を設けた点である。さらに、302aでは、副映像処理Aとして、外部記憶部101から内部記憶部102へのデータ転送制御、副映像データユニット解析処理、表示制御コマンド解析処理を割り当て、302bでは、副映像処理Bとして、色/コントラスト変化データ解析処理を行なうことである。

【0092】副映像処理A302aでは、外部記憶部101から内部記憶部102、及び副映像出力部104bへの副映像データを転送する。さらに、副映像データユニット情報1101aを解析し、表示制御コマンド1101cの開始アドレス、次の副映像データユニット1102の開始アドレスを得る。さらに、表示制御コマンド1101c、1101dを実行時間に従って順に解析する。

【0093】副映像処理B302bでは、色/コントラスト変化データ1101eを解析し、制御信号107bを用いて副映像出力部104bを制御する。1504は、処理が遅れたか否かの判定処理である。1511は、処理1504で処理が遅れたと判定された場合、処理の遅れに応じて、色/コントラスト変化処理の処理回数を減少させる。ここでは、例として、色/コントラスト変化の総変化点数をNとし、1変化に要する処理に10サイクル必要とする。(Delay÷10)値は、1ライン出力に対して遅れた処理量を色/コントラスト変化点数に換算した値である。つまり、(Delay÷10)変化点処理分だけ処理を軽減しなければ、映像出力

処理の実時間を保証できない。以上より、副映像処理2において、色／コントラスト変化点として、 $(N - Delay \div 10)$ 点に処理を減じることにより、映像出力処理を1ラインで収めることができる。なお、上記 $(N - Delay \div 10)$ の計算においては、結果を小数点以下切り捨て処理して整数化するものとする。

【0094】また、 $(N - Delay \div 10) \leq 0$ の場合は、副映像処理Bにて色／コントラスト変化処理は行なわれない。処理1510は、処理1511に用いたdelayに対し、I/O用メモリ1404fを読み出す。

【0095】このように本実施の形態5によれば、主映像、副映像、OSDの映像出力処理を実時間で行なうことが不可能となった場合、1ライン期間に対してオーバーした処理量に応じて、色／コントラスト変化数を減少させるようにしたので、副映像画像出力は得られたまま、色／コントラスト変化処理を全て停止することもなく、映像出力処理全体の処理を軽減することができ、かつ、映像出力処理の実時間を保証することができる。また、副映像処理A302aでの処理は、迂回されることがないため、外部記憶部101から内部記憶部102へのデータ転送制御、副映像データユニット解析処理、表示制御コマンド解析処理は、毎ライン実行される。その結果、映像出力処理が1ラインで収まるようになれば、次の表示制御コマンドから副映像出力を正常な状態で復帰させることができる。つまり、表示制御コマンド単位で主映像、副映像、OSD出力全てを正しく表示させることができる。

【0096】実施の形態6。以下、本発明の実施の形態6による映像出力表示装置について図面を参照しながら説明する。図13は、本実施の形態6で用いる映像出力処理装置の構成図である。本実施の形態では、映像出力処理が実時間で行なえない場合、副映像処理において、実施の形態4で示したような、表示制御コマンド解析処理、及び色／コントラスト変化処理を停止することにより、中央処理制御部における副映像出力処理を軽減し、映像出力処理を実時間で処理させることを実現するものである。映像出力装置の概略的な構成は、実施の形態1で述べたものと同じである。

【0097】以下、中央処理制御部106で行なう、本実施の形態6による映像出力処理を図16に示す。図16において、主映像処理A301a、主映像処理B301bや、OSD処理A303a、OSD処理B303bや、判定処理304a、304b、305、307や、代入処理306、308は、図3に示したものと同じである。図3に示したものと異なる点は、副映像処理A1602a、B1602b、C1602cを設けた点であり、副映像処理A1602aでは、外部記憶部101から内部記憶部102へのデータ転送制御、副映像データユニット解析処理を割り当て、副映像処理B1602b

では、表示制御コマンド解析処理を割り当て、副映像処理C1602cでは、色／コントラスト変化データ解析処理を行なうようにしたことである。

【0098】副映像処理A1602aでは、外部記憶部101から内部記憶部102へ、副映像出力部104bへの副映像データを転送する。さらに、副映像データユニット情報1101aを解析し、表示制御コマンド1101cの開始アドレス、次の副映像データユニット1102の開始アドレスを得る。副映像処理B1602bでは、表示制御コマンド1101c、1101dを実行時間に従って順に解析する。副映像処理C1602cでは、色／コントラスト変化データ1101eを解析し、制御信号107bを用いて、副映像出力部104bを制御する。

【0099】判定処理305にて、1ライン処理が間に合わなかったと判定された場合、中央処理制御部106では、判定処理304a、304bにより、副映像処理B1602b、副映像処理C1602cが迂回される。このようにして、表示制御コマンド解析処理、色／コントラスト変化処理を停止することにより、副映像処理の軽減を図るように構成されている。

【0100】このように本実施の形態6によれば、主映像、副映像、OSDの映像出力処理を実時間で行なうことが不可能となった場合、表示制御コマンド解析処理、色／コントラスト変化処理を停止することにより、1ライン処理が間に合わなくなったりときの表示制御コマンドによる、副映像画像出力が得られたまま、映像出力処理全体の処理量を軽減することができ、これにより映像出力処理の実時間を保証することが可能となる。

【0101】また、副映像処理A1602aでの処理は迂回されないため、外部記憶部101から内部記憶部102へのデータ転送制御、副映像データユニット解析処理は毎ライン実行される。その結果、映像出力処理が1ラインで収まるようになれば、次の副映像データユニットから副映像出力を正常な状態で復帰させることができる。つまり、副映像データユニット単位で主映像、副映像、OSD出力全てを正しく表示させることができる。

【0102】実施の形態7。以下、本発明の実施の形態7による映像出力処理装置について図面を参照しながら説明する。図17は、本発明の実施の形態7における映像出力装置を用いた主映像の出力処理の流れを示す図である。図17の主映像出力処理は、主映像出力処理方法を制御する主映像出力処理制御部1701と、主映像データ転送処理運延検出部1702と、主映像データ転送処理起動制御部1703とで構成される。また、本実施の形態7における映像出力装置の構成は図1に示したものと同じとする。

【0103】以上のように構成された本実施の形態7の主映像出力処理について、以下、その動作について説明

する。まず、主映像出力処理制御部1701では、主映像データを外部記憶部101から内部記憶部102へ転送するために必要な制御情報の設定を転送制御部103に対して行なう。このとき、処理が遅れたことを示すflagの状態に従って、これから表示するラインの出力処理を選択し、その出力処理を行なう。

【0104】flag=1の場合は、モニタ111出力での1ライン処理が間に合わなかったとして、主映像処理が軽減される手段を選択する。例えば、垂直フィルタリング処理の方法によって、1ライン期間中に内部記憶部102へ格納すべきデータ量を調整することができる。本実施の形態では、格納すべきデータ量が小さいフィルタリング処理を選択することによって、主映像出力処理にかかる処理時間の軽減を図るものである。

【0105】以上が、1ライン前の処理が性能を越えた場合の、それ以後のラインにおける主映像出力処理軽減方法であるが、さらに、主映像出力処理自体が1ライン期間処理の性能を侵すような状況になった場合を検出する手段を、本実施の形態では設けている。

【0106】例えば、データ転送処理を起動できるまでに待ち時間が発生した場合、この処理の遅れが蓄積され、後の副映像処理、及びOSD映像出力処理に影響を及ぼすことがある。主映像データ転送処理遅延検出部1702は、この待ち時間発生を検出するものであり、本実施の形態では、この遅れを主映像出力以降の処理に及ぼさないように主映像出力処理の軽減を図るものである。

【0107】待ち時間が検出された場合には、主映像データ転送処理起動制御部1703で、そのラインでのみデータ転送を停止するように処理を切り替える。このとき、その1ライン期間の主映像表示にはバッファ上に既に格納されている1ライン前の映像データを代用するが、これは映像信号の垂直方向の相関が大きいという特性を利用したものであり、このような処理を行なうことで、主映像の視覚的画質劣化を小さく抑えることができる。

【0108】このように本実施の形態7によれば、データ転送処理を起動できるまでに待ち時間が発生した場合に、これを検出し、主映像の処理を当該ラインのみ停止するとともに、バッファ上に既に格納されている1ライン前の映像データを用いて表示を行なうことにより、主映像出力処理に要する時間を短縮し、処理遅延時間の蓄積を抑えて、副映像、OSD画像出力処理を実行でき、なお且つ、画質劣化も小さく抑えることができる。

【0109】なお、処理量に応じては、主映像出力処理制御部1701による処理か、主映像データ転送処理遅延検出部1702と主映像データ転送処理起動制御部1703とによる処理のいずれか一方のみを使用するようにしてもよい。

【0110】また、上記各実施の形態同士を組み合わせ

て使用することも可能である。すなわち、OSD処理の軽減を行う実施の形態3と、副映像出力処理の軽減を行う実施の形態4～6のうちの1つと、主映像出力処理の軽減を行う実施の形態7とから、任意に2つ以上組み合わせて使用することが可能である。これら実施例の組み合わせに関しては、入力される蓄積符号化データの、主映像や副映像の符号化データの存在の有無や、OSD表示の有無などから柔軟に組み合わせることが可能である。つまり、主映像、副映像、OSDの出力処理軽減の組み合わせに、処理が行われていない部分を各映像毎に振り分けることにより、各映像出力処理において軽減され、実行できない部分を少なくすることができる。これにより、それぞれの映像出力処理で実行されない部分が少なくなり、各映像としては不完全であるものの、全体として、より完全な映像を表示することが可能となる。

【0111】さらに、各実施の形態では、映像データとして主映像と副映像、OSDの3種類が交互に出現するような形式のものについて説明したが、これら映像データとして単一のものが連続して出現する場合や、2種類が交互に現れるような場合においても、同様に適応することが可能である。

【0112】

【発明の効果】以上のように、本発明の請求項1にかかる映像出力処理装置によれば、映像出力に関する処理の遅れを検出し、処理の遅れが生じた場合には、1ライン期間に割り当てられた映像出力処理を軽減することにより、実時間での映像出力を保証することができ、しかも、視聴者に違和感を与えることがない。さらに、プログラムコードサイズの増大も少なく、また、処理に要する制御装置を複雑にする必要もなく、高周波で動作させる必要もない。

【0113】また、本発明の請求項2にかかる映像出力処理装置によれば、上記処理の遅れを検出した時に、いずれの映像データの処理を軽減するかを、その時の状況に応じて優先順位を設定するか、または予め優先順位を設定して行なうことにより、上記処理の軽減時の表示を、映像データを選択して行なうことができるという効果がある。

【0114】また、本発明の請求項3にかかる映像出力処理装置によれば、上記請求項2記載の映像出力処理装置において、上記優先順位を、視聴者の視点から上記モニタ上における表示画面までの距離に基づいて決定するようにしたので、上記処理の軽減時の表示をユーザ指向に合わせて行なうことができる効果がある。

【0115】また、本発明の請求項4にかかる映像出力処理装置によれば、上記請求項2記載の映像出力処理装置において、上記優先順位を、映像データに設定された表示情報に基づいて決定するようにしたので、番組タイトルなど、重要な情報が優先的に表示され、これらを見逃したりすることができないという効果がある。

【0116】また、本発明の請求項5にかかる映像出力処理装置によれば、上記請求項1記載の映像出力処理装置において、上記1ライン期間に行う上記種類の異なる複数の映像データのそれぞれの処理の少なくとも1つの映像データの処理を複数に分割するものとしたので、バッファメモリを削減することができる効果がある。

【0117】また、本発明の請求項6にかかる映像出力処理装置によれば、上記請求項1記載の映像出力処理装置において、上記遅延の検出を所定数のフィールドまたはフレーム間隔で行うようにしたので、遅延検出によるハードウェアへの負荷を少なくすることができるという効果がある。

【0118】また、本発明の請求項7にかかる映像出力処理装置によれば、上記請求項1記載の映像出力処理装置において、上記遅延の検出を所定数のライン間隔で行うようにしたので、精度の高い画面表示を行うことができるという効果がある。

【0119】また、本発明の請求項8にかかる映像出力処理装置によれば、上記請求項1または請求項5記載の映像出力処理装置において、上記映像出力処理の軽減は、種類の異なる複数の映像データのうちのいずれかの映像データの処理の少なくとも一部を停止するようにしたので、表示画面全体が乱れるようなことがなく、所望とする映像データについては、これを参照することができる効果がある。

【図面の簡単な説明】

【図1】 本発明の実施の形態1による映像出力処理装置の構成図である。

【図2】 上記実施の形態1による映像出力処理装置における中央制御処理部の構成図である。

【図3】 上記実施の形態1における映像出力処理装置による処理の流れを示すフロー図である。

【図4】 実施の形態1における映像出力処理において、処理遅れが発生した場合の様子を示す図である。

【図5】 本発明の実施の形態2における映像出力処理装置による処理の流れを示すフロー図である。

【図6】 上記実施の形態2における映像出力処理装置を用いて映像出力処理を行うことによる表示結果を説明するための図である。

【図7】 本発明の実施の形態3における映像出力処理装置による処理の流れを示すフロー図である。

【図8】 上記実施の形態3における映像出力処理装置のOSD処理Aの流れを示すフロー図である。

【図9】 上記実施の形態3における映像出力処理装置のOSD処理Bの流れを示すフロー図である。

【図10】 上記実施の形態3における映像出力処理装置のOSD処理によるOSD出力画像のイメージを示す図である。

【図11】 本発明の実施の形態4における映像出力処理装置による副映像データユニットの構成を示す図である。

る。

【図12】 本発明の実施の形態4における映像出力処理装置による処理の流れを示すフロー図である。

【図13】 本発明の実施の形態5による映像出力処理装置の構成図である。

【図14】 上記実施の形態5による映像出力処理装置における中央制御処理部の構成図である。

【図15】 本発明の実施の形態5における映像出力処理装置による処理の流れを示すフロー図である。

【図16】 本発明の実施の形態6における映像出力処理装置による処理の流れを示すフロー図である。

【図17】 本発明の実施の形態7における映像出力処理装置による処理の流れを示すフロー図である。

【図18】 1ライン単位での処理遅れの判定を行う場合において、処理遅れが発生した場合の様子を示す図である。

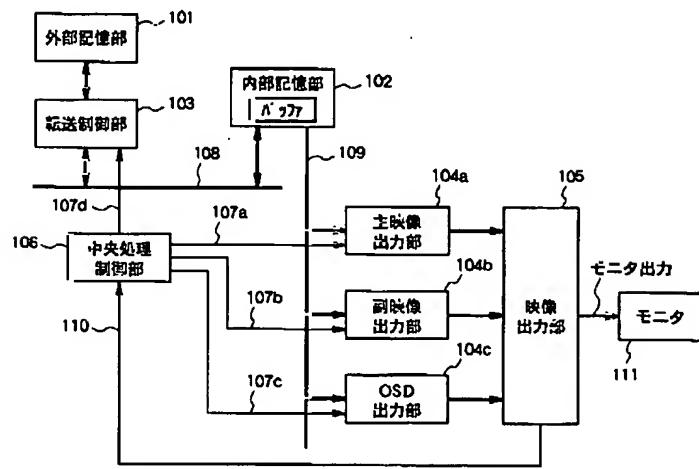
【符号の説明】

- 101 外部記憶部
- 102 内部記憶部
- 103 転送処理部
- 104a 主映像出力部
- 104b 副映像出力部
- 104c OSD出力部
- 105 映像出力部
- 106 中央処理制御部
- 107a~107d 制御信号
- 108 第1の内部バス
- 109 第2の内部バス
- 110 制御信号
- 111 モニタ
- 201 中央処理部
- 202 命令メモリ
- 203 作業メモリ
- 204a I/O用メモリ（主映像出力部制御用）
- 204b I/O用メモリ（副映像出力部制御用）
- 204c I/O用メモリ（OSD出力部制御用）
- 204d I/O用メモリ（転送制御部制御用）
- 204e I/O用メモリ（映像出力部からの制御信号用）
- 610 処理軽減前の表示画像例
- 610a 主映像
- 610b 副映像
- 610c OSD映像
- 611 処理軽減後の表示画像例
- 612 処理軽減後の表示画像例
- 1001 8bit/pixelのOSD出力結果
- 1002 OSD処理軽減後の出力結果（8bit/pixelのOSD）
- 1003 OSD処理軽減後の出力結果（4bit/pixelのOSD）

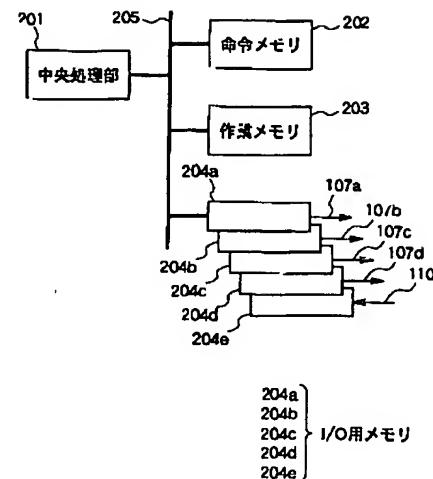
1311 処理時間遅れによる変化点数算出処理
1404f I/O用メモリ (H-SYNCからのサイ

クル数を示す制御信号用)

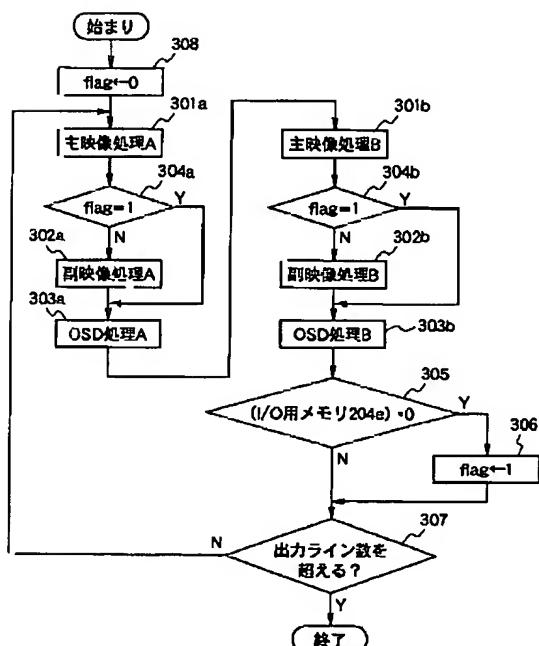
【図1】



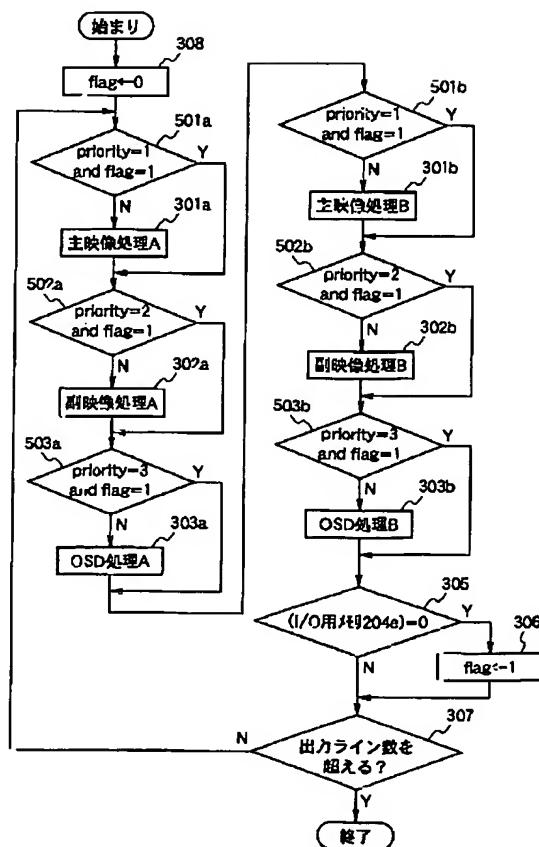
【図2】



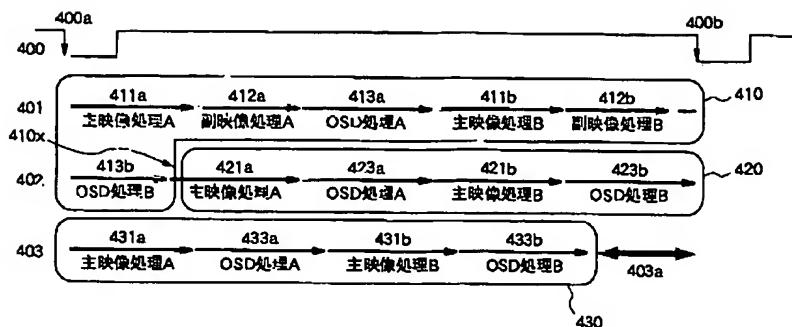
【図3】



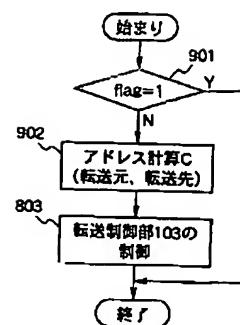
【図5】



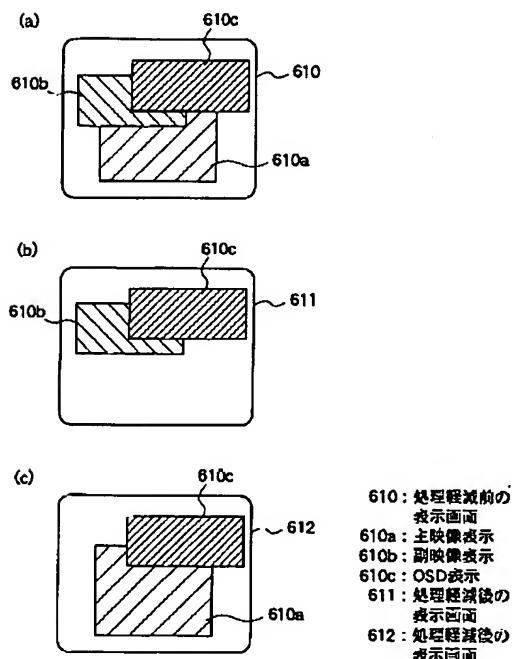
【図4】



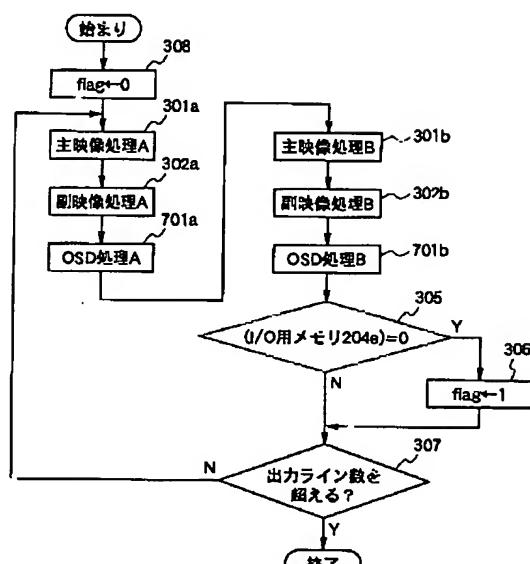
【図9】



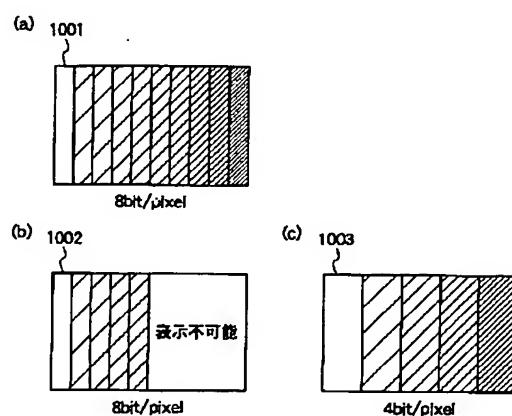
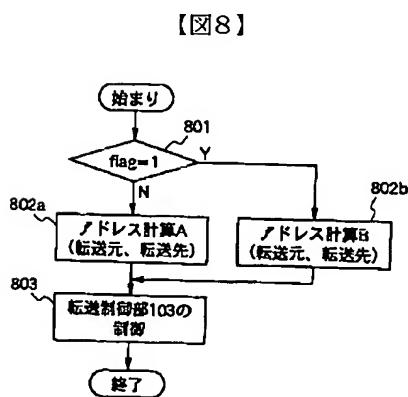
【図6】



【図7】

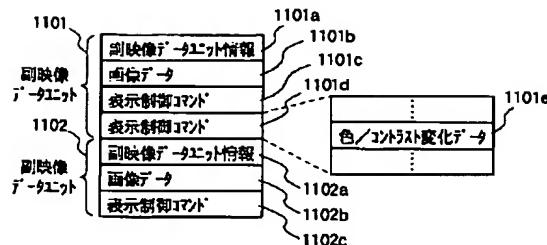


【図10】

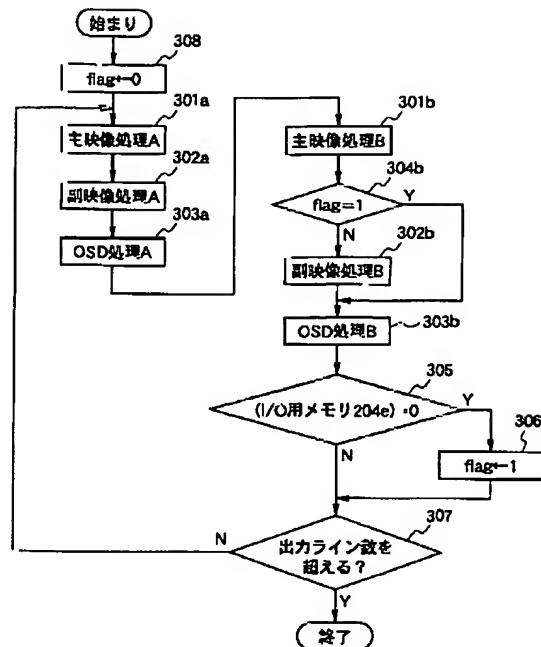


【図8】

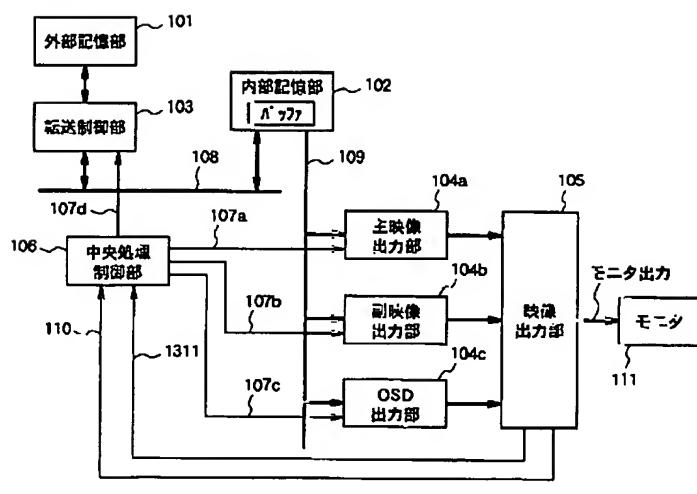
【図11】



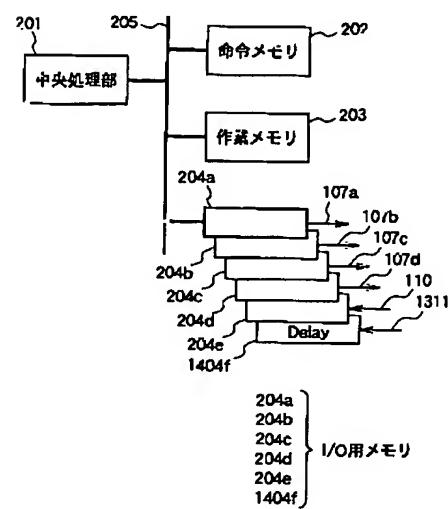
【図12】



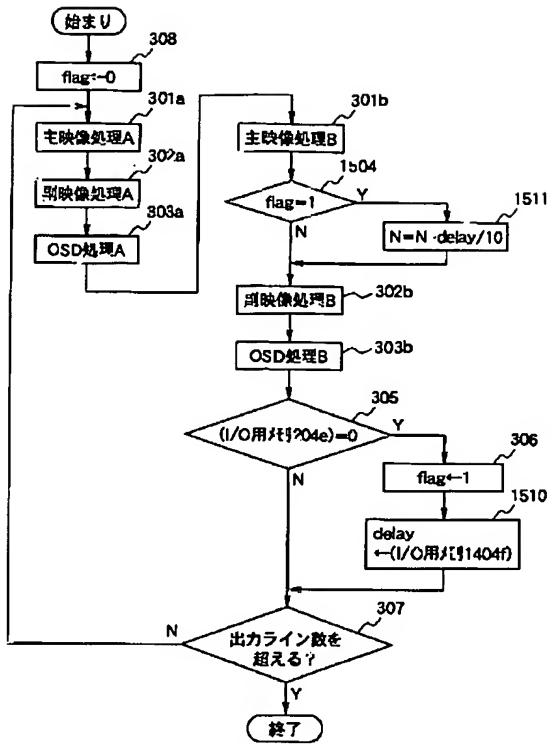
【図13】



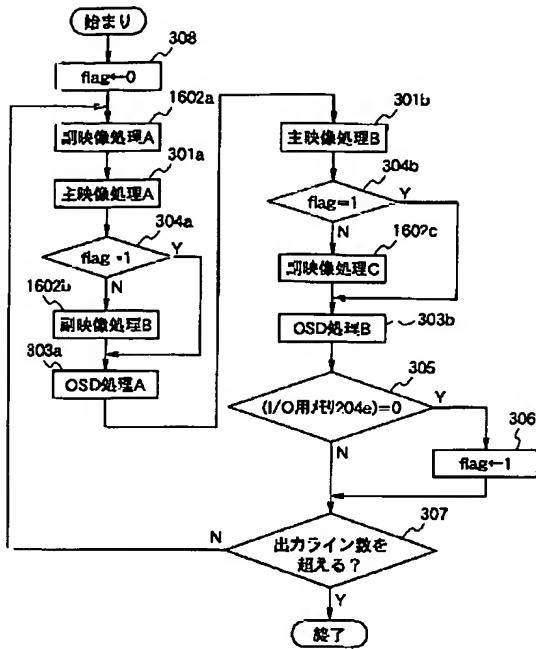
【図14】



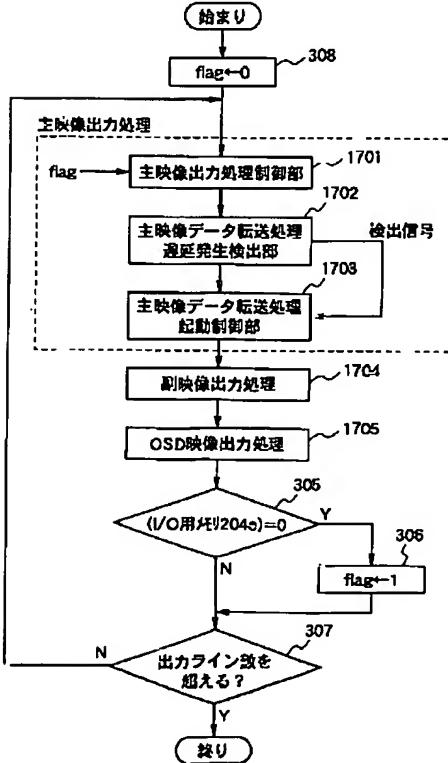
【図15】



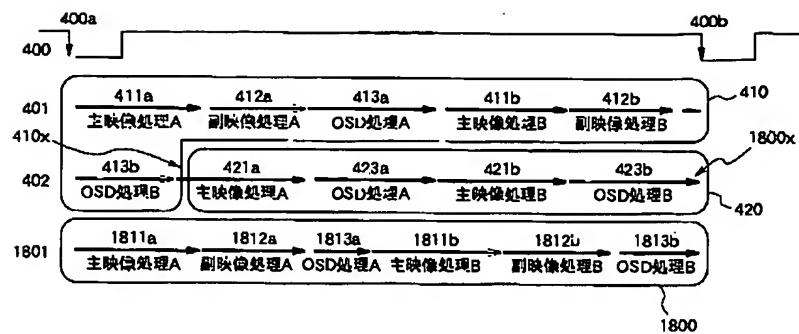
【図16】



【図17】



【図18】



フロントページの続き

(51) Int. Cl. 6

H 04 N 5/445

識別記号

F I

H 04 N 5/445

Z